

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Bibliographic Fields

Document Identity

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平10-144960

(43)【公開日】

平成10年(1998)5月29日

Public Availability

(43)【公開日】

平成10年(1998)5月29日

Technical

(54)【発明の名称】

p型窒化物半導体の製造方法及び窒化物半導体素子

(51)【国際特許分類第6版】

H01L 33/00

21/205

21/324

H01S 3/18

【FI】

H01L 33/00 C

21/205

21/324 C

H01S 3/18

【請求項の数】

10

【出願形態】

OL

【全頁数】

7

Filing

【審査請求】

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 10 - 144960

(43) [Publication Date of Unexamined Application]

1998 (1998) May 29 days

(43) [Publication Date of Unexamined Application]

1998 (1998) May 29 days

(54) [Title of Invention]

MANUFACTURING METHOD AND NITRIDE
SEMICONDUCTOR ELEMENT OF P-TYPE NITRIDE
SEMICONDUCTOR

(51) [International Patent Classification, 6th Edition]

H01L 33/00

21/205

21/324

H01S 3/18

【FI】

H01L 33/00 C

21/205

21/324 C

H01S 3/18

【Number of Claims】

10

【Form of Application】

OL

【Number of Pages in Document】

7

【Request for Examination】

JP1998144960A

1998-5-29

未請求

Unrequested

(21)【出願番号】

(21) [Application Number]

特願平8-296872

Japan Patent Application Hei 8 - 296872

(22)【出願日】

(22) [Application Date]

平成8年(1996)11月8日

1996 (1996) November 8 days

Parties

Applicants

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000226057

000226057

【氏名又は名称】

[Name]

日亜化学工業株式会社

NICHIA CHEMICAL INDUSTRIES, LTD.

【住所又は居所】

[Address]

徳島県阿南市上中町岡491番地100

Tokushima Prefecture Anan City Kaminaka-cho Oka 49 1 100

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

山田 孝夫

Yamada Takao

【住所又は居所】

[Address]

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

Inside of Tokushima Prefecture Anan City Kaminaka-cho Oka 49 1 100 Nichia Chemical Industries, Ltd.

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

中村 修二

Nakamura Shuji

【住所又は居所】

[Address]

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

Inside of Tokushima Prefecture Anan City Kaminaka-cho Oka 49 1 100 Nichia Chemical Industries, Ltd.

Abstract

(57)【要約】

(57) [Abstract]

【目的】

[Objective]

主としてキャリア濃度の高い p 型窒化物半導体
が得られる製造方法を提供することにより、そ
の p 型窒化物半導体を用いた各種デバイスの
発光効率、受光効率を向上させる。

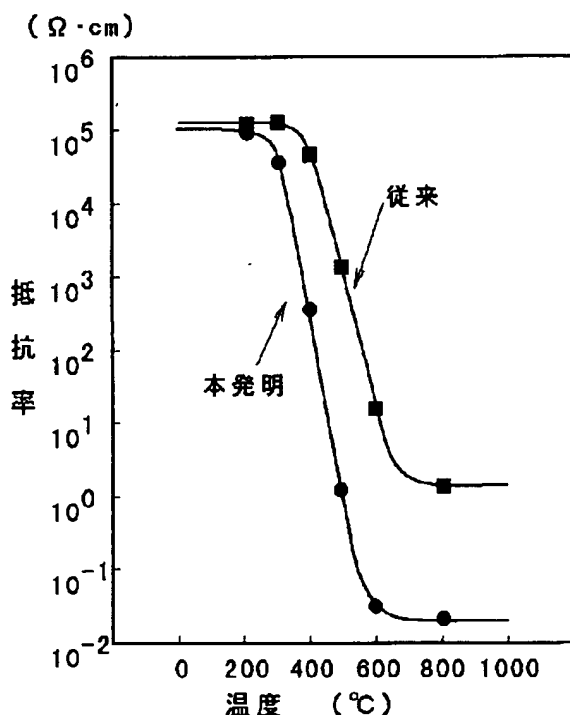
light emission efficiency、 light receiving efficiency of
various device which use p-type nitride semiconductor by
offering manufacturing method where p-type nitride
semiconductor where carrier concentration is high mainly is
acquired, itimproves.

【構成】

[Constitution]

気相成長法により、n型不純物とp型不純物とを同時にドーピングして、さらに結晶中に水素を含む窒化物半導体を成長させた後、その窒化物半導体層中に含まれる水素を除く方法と、n型窒化物半導体層と、インジウムを含む窒化物半導体よりなる活性層と、p型窒化物半導体層と、p電極層とを順に有する窒化物半導体素子において、前記活性層と、前記p電極層との間に、p型不純物とn型不純物とがドーピングされたp型窒化物半導体層を少なくとも1層有することを特徴とする。

With vapor phase deposition method, doped doing n-type impurity and p-type impurity simultaneously, furthermore nitride semiconductor which includes hydrogen in the crystal after growing and in nitride semiconductor layer in nitride semiconductor element which possesses the active layer and p-type nitride semiconductor layer and pelectrode layer which consist of nitride semiconductor which includes method and n-type nitride semiconductor layer and indium which exclude hydrogen which is included in order, between aforementioned active layer and the aforementioned pelectrode layer, p-type impurity and n-type impurity 1 layer have p-type nitride semiconductor layer which doped is done at least, it makes feature.



Claims

【特許請求の範囲】

【請求項 1】

気相成長法により、n型不純物とp型不純物とを同時にドーピングして、さらに結晶中に水素を含む窒化物半導体を成長させた後、その窒化物半導体層中に含まれる水素を除くことを特徴とするp型窒化物半導体の製造方法。

【請求項 2】

前記水素を除く手段がアニーリングであることを特徴とする請求項 1 に記載の p 型窒化物半導

[Claim(s)]

[Claim 1]

With vapor phase deposition method, doped doing n-type impurity and p-type impurity simultaneously, manufacturing method. of p-type nitride semiconductor which furthermore nitride semiconductor which includes hydrogen in crystal after growing and in nitride semiconductor layer excludes hydrogen which is included and makes feature

[Claim 2]

means which excludes aforementioned hydrogen is annealing and the manufacturing method. of p-type nitride

体の製造方法。

【請求項 3】

前記アニーリング温度が 300 deg C 以上であることを特徴とする請求項 2 に記載の p 型窒化物半導体の製造方法。

【請求項 4】

前記窒化物半導体は、インジウムを含む窒化物半導体よりなる活性層を成長させた後に、成長させることを特徴とする請求項 1 乃至 3 の内のいずれか 1 項に記載の p 型窒化物半導体の製造方法。

【請求項 5】

前記 n 型不純物のドーパ量が、p 型不純物のドーパ量に対して、0.1%以上で、p 型不純物のドーパ量を越えない範囲であることを特徴とする請求項 1 乃至 4 の内のいずれか 1 項に記載の p 型窒化物半導体の製造方法。

【請求項 6】

前記 n 型不純物のドーパ量を調整することにより、窒化物半導体の正孔キャリア濃度を調整することを特徴とする請求項 1 乃至 5 の内のいずれか 1 項に記載の p 型窒化物半導体の製造方法。

【請求項 7】

前記 p 型不純物が Mg であり、前記 n 型不純物が Si、Ge の内の少なくとも 1 種であることを特徴とする請求項 1 乃至 6 の内のいずれか 1 項に記載の p 型窒化物半導体の成長方法。

【請求項 8】

n 型窒化物半導体層と、インジウムを含む窒化物半導体よりなる活性層と、p 型窒化物半導体層と、p 電極層とを順に有する窒化物半導体素子において、前記活性層と、前記 p 電極層との間に、p 型不純物と n 型不純物とがドーパされた p 型窒化物半導体層を少なくとも 1 層有することを特徴とする窒化物半導体素子。

【請求項 9】

前記 p 型不純物と n 型不純物とがドーパされた p 型窒化物半導体層の n 型不純物のドーパ量が、p 型不純物のドーパ量に対して、0.1%以上

semiconductor which is stated in Claim 1 which is made feature

[Claim 3]

Aforementioned annealing temperature is 300 deg C or greater and manufacturing method. of the p-type nitride semiconductor which is stated in Claim 2 which is made feature

[Claim 4]

Aforementioned nitride semiconductor grows, active layer which consists of nitride semiconductor which includes indium after growing, manufacturing method. of p-type nitride semiconductor which is stated in any one claim among Claim 1 to 3 which are made feature

[Claim 5]

doped amount of aforementioned n-type impurity, with 0.1% or more, is range which does not exceed doped amount of p-type impurity vis-a-vis doped amount of p-type impurity, and manufacturing method. of p-type nitride semiconductor which is stated in any one claim among Claims 1 through 4 which are made feature

[Claim 6]

positive hole carrier concentration of nitride semiconductor is adjusted by adjusting doped amount of the aforementioned n-type impurity, manufacturing method. of p-type nitride semiconductor which is stated in the any one claim among Claim 1 to 5 which are made feature

[Claim 7]

Aforementioned p-type impurity being Mg, aforementioned n-type impurity is at least 1 kind among Si, Ge and growth method. of p-type nitride semiconductor which is stated in any one claim among Claims 1 through 6 which are made feature

[Claim 8]

nitride semiconductor element. where between aforementioned active layer and the aforementioned pelectrode layer, p-type impurity and n-type impurity 1 layer have p-type nitride semiconductor layer which doped is done at least in nitride semiconductor element which possesses the active layer and p-type nitride semiconductor layer and pelectrode layer which consist of nitride semiconductor which includes n-type nitride semiconductor layer and indium in order, make feature

[Claim 9]

Aforementioned p-type impurity and n-type impurity doped amount of n-type impurity of the p-type nitride semiconductor layer which doped is done, with 0.1% or more, are range

で、p 型不純物のドーブ量を越えない範囲であることを特徴とする請求項 8 に記載の窒化物半導体素子。

【請求項 10】

前記 p 型不純物と n 型不純物とがドーブされた p 型窒化物半導体層は、p 型不純物が Mg であり、n 型不純物が Si、Ge の内の少なくとも一種であることを特徴とする請求項 8 または 9 に記載の窒化物半導体素子。

Specification

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は p 型窒化物半導体($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x, 0 \leq y, x+y \leq 1$)の成長方法と、その p 型窒化物半導体を用いて LED、LD 等の発光デバイス、太陽電池、光センサー等の受光デバイスに応用される窒化物半導体素子に関する。

【0002】

【従来の技術】

窒化物半導体は格子欠陥が非常に多い半導体材料であり、さらに、ノンドープ(不純物をドーブしない状態)で結晶内部にできた窒素空孔により n 型の導電性を示すことが知られている。

そのため、p 型不純物を窒化物半導体にドーブしても高抵抗な i(insulator)型にしかならず、低抵抗な p 型結晶を得るのが難しい材料であった。

【0003】

しかし、1983 年、Saparin らが、Zn をドーブした i 型 GaN 層に、試料温度 300K において、20keV、200A/cm² を越えない範囲で電子線照射処理を行うことによって、Zn ドープ GaN のフォトルミネセンス(PL)強度が向上することを見出した(Vestnik Moskovskogo Universiteta. Fizika, Vol.38, No.3, pp 56-59, 1983)。

また、特開昭 63-239989 号公報に、前記技術と類似した電子線照射処理技術が示された。

その後、特開平 2-257679 号公報において、Mg をドーブした GaN に電子線照射処理を行い、PL 強度が向上することが示された。

which does not exceed doped amount of p-type impurity vis-a-vis doped amount of the p-type impurity, and nitride semiconductor element, which is stated in Claim 8 which is made feature

[Claim 10]

Aforementioned p-type impurity and n-type impurity as for p-type nitride semiconductor layer which the doped is done, p-type impurity being Mg, n-type impurity are at least one kind among Si, Ge and nitride semiconductor element, which is stated in Claim 8 or 9 which is made feature

[Description of the Invention]

[0001]

[Technological Field of Invention]

this invention regards nitride semiconductor element which is applied to LED, LD or other light emitting device and solar battery, light sensor or other incident light device making use of growth method and p-type nitride semiconductor of p-type nitride semiconductor ($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x, 0 \leq y, x+y \leq 1$).

[0002]

[Prior Art]

As for nitride semiconductor with semiconductor material where lattice defect is very many, furthermore, electrical conductivity of n-type is shown by nitrogen void which with non doped (state which impurity doped is not done) can be made crystal internal it is informed.

Because of that, doped doing p-type impurity in nitride semiconductor, it was a material whose it is difficult high resistance to make i (insulator) type and by all means, to obtain low resistance p-type crystal.

[0003]

But, 1983, Saparin and others, in i type GaN layer which Zn the doped is done, does electron beam illumination in range which does not exceed 20 keV, 200A/cm² in specimen temperature 300K, photo luminescence (PL) intensity of Zn doped GaN improves has discovered with, (Vestnik Moskovskogo Universiteta. Fizika, Vol.38, No.3, pp 56-59, 1983).

In addition, electron beam illumination technology which resembles aforementioned technology to Japan Unexamined Patent Publication Showa 63-239989 disclosure, was shown.

After that, electron beam illumination was done in GaN which Mg doped is done in Japan Unexamined Patent Publication Hei 2-257679 disclosure, PL intensity was shown improves.

PL 強度が向上するという事は、即ち、電子線照射部分の抵抗率が低下して、i 型が p 型に接近していることを示している。

これらの電子線照射の技術を Mg ドープ GaN を例にとって説明すると、成長直後の Mg ドープ GaN では、Mg が Ga サイトに入っておらず、格子間位置のようなところにいる。

このため Mg はアクセプターとして働かずに Mg ドープ GaN は高抵抗を示す。

この i 型 GaN に電子線照射することにより、電子線のエネルギーで Mg が移動して Ga サイトに入り、Mg がアクセプターとして働くようになって低抵抗を示すようになるという。

【0004】

一方、電子線照射とは別に、本出願人は特開平 5-183189 号公報において、p 型不純物をドープした窒化物半導体をアニーリングすることにより p 型とする技術を示した。

この技術は、水素が半導体中に混入されて Mg と結合して高抵抗となっている Mg ドープ GaN から、アニーリングすることにより水素を除去し、Mg を正常なアクセプターとして作用させて、低抵抗な p 型を得る技術である。

この技術が発表されてから様々な研究機関で p 型窒化物半導体が研究されるようになった。

例えば特開平 8-32113 号には冷却速度を遅くする技術、特開平 8-51235 号には電極アニールと p アニールを同時に行う技術、特開平 8-8460 には p 層の上に n 層を載せた状態でアニールする技術等が示されている。

【0005】

【発明が解決しようとする課題】

しかしながら、アニーリングにより p 型層が得られたといっても、そのキャリア濃度は $1 \times 10^{18}/\text{cm}^3$ 以下にしか過ぎず、さらにキャリア濃度の高い p 型層が求められている。

キャリア濃度の高い p 型層が得られると、窒化物半導体を用いた LED、LD 等の Vf が極端に低下し、LD に至っては発熱量が少なくなるので連続発振が可能となる。

従って、本発明の目的とするところは、主として

Namely, resistance of electron beam illumination part decreasing, i type has approached fact that, PL intensity improves, to p-type, it has shown.

When technology of these electron beam illumination Mg doped GaN is explained for example, with Mg doped GaN immediately after growing, Mg has not entered into Ga site, it is in place like interstitial position.

Because of this as for Mg as acceptor without working as for Mg doped GaN high resistance is shown.

Mg moving with energy of electron beam by electron beam illumination doing in this i type GaN, Mg it reaching point where it works as the acceptor entering Ga site, you say that it reaches point where it shows low resistance.

【0004】

On one hand, separately from electron beam illumination, as for this applicant technology which is made p-type is done by annealing nitride semiconductor which in the Japan Unexamined Patent Publication Hei 5-18 31 89 disclosure, p-type impurity doped was shown.

It is a technology where this technology, hydrogen in semiconductor being mixed, connecting with Mg, removes hydrogen from Mg doped GaN which becomes high resistance, by annealing, operating with Mg as the normal acceptor, obtains low resistance p-type.

After this technology being announced, it reached point where p-type nitride semiconductor is researched with various research organization.

In for example Japan Unexamined Patent Publication Hei 8-32113 number in technology, Japan Unexamined Patent Publication Hei 8-51235 number which makes cooling rate slow the electrode anneal and in technology, Japan Unexamined Patent Publication Hei 8-8460 which does anneal simultaneously technology etc which anneal is done are shown with state which places the n layer on p layer.

【0005】

[Problems to be Solved by the Invention]

But, saying, that p-type layer acquired with annealing it passes the carrier concentration only $1 \times 10^{18}/\text{cm}^3$ or less, furthermore p-type layer where carrier concentration is high is sought.

When p-type layer where carrier concentration is high is acquired, LED, LD or other Vf which uses nitride semiconductor to decrease extremely, because heat emission decreases, reaching up to LD continuous oscillation becomes possible.

Therefore, as for purpose of this invention, light emission

キャリア濃度の高い p 型窒化物半導体が得られる製造方法を提供することにより、その p 型窒化物半導体を用いた各種デバイスの発光効率、受光効率を向上させることにある。

【0006】

【課題を解決するための手段】

本発明の p 型窒化物半導体の製造方法は、気相成長法により、n 型不純物と、p 型不純物とを同時にドーピングして、さらに結晶中に水素を含む窒化物半導体を成長させた後、その窒化物半導体層中に含まれる水素を除くことを特徴とする。

本発明では p 型不純物とは、周期律表第 2A 族、及び第 2B 族より選択される少なくとも 1 種の元素を指し、さらに、n 型不純物とは、周期律表第 4A 族、第 4B 族、第 6A 族、及び第 6B 族より選択される少なくとも 1 種の元素を指すものとする。

従って、本発明の方法では複数の p 型不純物と、複数の n 型不純物とを一つの半導体層に同時にドーピングする技術も本発明の範囲に含まれる。

なお、窒化物半導体層に含まれる水素を除くとは、水素を全て除くのではなく、微量除去することでも本発明の範囲に含まれる。

【0007】

また、本発明の製造方法では水素を除く手段がアニーリング(熱処理)であることを特徴とする。

アニーリングにはランプアニール、プラズマアニール、反応容器内でのアニール、冷却速度を遅くしてアニールする等の手段も含まれる。

またアニーリングの他、電子線照射技術もあるが、実用的、工業的にはアニーリングが最も好ましい。

アニーリングする場合、アニーリング温度は 300 deg C 以上が最も好ましく、水素を含まない雰囲気で行う。

水素を含む雰囲気中で行うと H が再吸蔵されてしまうからである。

【0008】

さらに、本発明の製造方法では p 型不純物と、n 型不純物とを同時にドーピングする窒化物半導体は、インジウムを含む窒化物半導体よりなる活

efficiency、light receiving efficiency of various device which use p-type nitride semiconductor by offering manufacturing method where p-type nitride semiconductor where the carrier concentration is high mainly is acquired, there are times when it improves.

【0006】

[Means to Solve the Problems]

manufacturing method of p-type nitride semiconductor of this invention doped doing n-type impurity and the p-type impurity simultaneously with vapor phase deposition method, furthermore nitride semiconductor which includes hydrogen in crystal after growing and in nitride semiconductor layer excludes hydrogen which is included, it makes feature.

With this invention p-type impurity, it points to element of at least 1 kind which is selected from Periodic Table Group 2A family, and second B family furthermore, n-type impurity, point to element of at least 1 kind which is selected from Periodic Table Group Group 4A, Group 4B, 6th A family, and Group 6B.

TRANSLATION STALLED this invention method plural p-type impurity plural n-type impurity one semiconductor layer doped technology this invention

Furthermore, excludes hydrogen which is included in nitride semiconductor layer with, being all to exclude hydrogen, foil and trace amount also removing is included in range of this invention.

【0007】

In addition, with manufacturing method of this invention means which excludes the hydrogen anneals and it is a (thermal processing), it makes feature.

Making anneal, cooling rate inside lamp anneal, plasma anneal, reactor slow in annealing, also or other means which anneal is done is included.

In addition other than annealing, there is also a electron beam illumination technology, but annealing is most desirable in practical, industrially.

When it anneals, it does in atmosphere where annealing temperature 300 deg C or greater are most desirable, do not include hydrogen.

When it does in atmosphere which includes hydrogen because H is done re-intercalation.

【0008】

Furthermore, with manufacturing method of this invention p-type impurity and n-type impurity simultaneously as for nitride semiconductor which doped is done, active layer

性層を成長させた後に、成長させることを特徴とする。

これは後にアニーリングする場合においても同様である。

【0009】

また、p 型不純物と n 型不純物をドーピングする場合、n 型不純物のドーピング量が、p 型不純物のドーピング量に対して、0.1%以上で、p 型不純物のドーピング量を越えない範囲にあることを特徴とする。

【0010】

さらに、n 型不純物のドーピング量を調整することにより、窒化物半導体の正孔キャリア濃度を調整することを特徴とする。

正孔キャリア濃度を調整できると p-、p+等の窒化物半導体が容易にできる。

【0011】

p 型不純物は、前記のように周期律表第 2A 族、及び第 2B 族より選択される少なくとも 1 種の元素であるが、その中でも好ましくは Mg、Ba、Ca、Sr、Zn 等の環境にほとんど無害で、取り扱いやすい元素が好ましく、その中でも、特に Mg が最も高キャリア濃度の p 型が得られる。

さらに、n 型不純物は、周期律表第 4A 族、第 4B 族、第 6A 族、第 6B 族より選択される少なくとも 1 種の元素であるが、好ましくは Si、Ge、O、S を用い、その中でも特に Si、Ge の内の少なくとも 1 種を用いると、高キャリア濃度の p 型が得られやすい。

【0012】

本発明の窒化物半導体素子は、n 型窒化物半導体層と、インジウムを含む窒化物半導体よりなる活性層と、p 型窒化物半導体層と、p 電極層とを順に有する窒化物半導体素子において、前記活性層と、前記 p 電極層との間に、p 型不純物と n 型不純物とがドーピングされた p 型窒化物半導体層を少なくとも 1 層有することを特徴とする。

即ち、n 型層と In を含む活性層と p 型層とを有し、その p 型層の表面に p 電極が形成された素子であれば、p 電極と活性層との間にある p 型層の少なくとも 1 層には n 型不純物と、p 型不純物がドーピングされていることを特徴とする。

which consists of nitride semiconductor which includes indium after growing, grows is designated as feature.

This when it anneals afterwards, putting, is similar.

[0009]

In addition, when doped it does p-type impurity and n-type impurity, doped amount of n-type impurity, with 0.1% or more, is a range which does not exceed the doped amount of p-type impurity vis-a-vis doped amount of p-type impurity, it makes feature.

[0010]

Furthermore, positive hole carrier concentration of nitride semiconductor is adjusted makes feature by adjusting doped amount of n-type impurity.

When positive hole carrier concentration can be adjusted, it can make p-, p+ or other nitride semiconductor easy.

[0011]

p-type impurity, aforementioned way is element of at least 1 kind which is selected from Periodic Table Group 2A family, and second B family, but among those and being harmless for most part in preferably Mg, Ba, Ca, Sr, Zn or other environment, handling easy element is desirable, among those, especially Mg is acquired p-type of highest carrier concentration.

Furthermore, n-type impurity, Periodic Table Group Group 4A, Group 4B, 6th A family, is element of at least 1 kind which is selected from Group 6B, but when even among those at least 1 kind among especially Si, Ge is used making use of preferably Si, Ge, O, S, p-type of the high carrier concentration is easy to be acquired.

[0012]

As for nitride semiconductor element of this invention, between aforementioned active layer and aforementioned pelectrode layer, p-type impurity and n-type impurity 1 layer have the p-type nitride semiconductor layer which doped is done at least in nitride semiconductor element which possesses active layer and p-type nitride semiconductor layer and pelectrode layer which consist of nitride semiconductor which includes n-type nitride semiconductor layer and indium in order, it makes feature.

Namely, it possesses active layer and p-type layer which include n-type layer and In, if it is a element where pelectrode was formed to the surface of p-type layer, n-type impurity and p-type impurity doped are done in the pelectrode and at least 1 layer of p-type layer which is between active layer, it makes feature.

活性層は In を含む窒化物半導体層を有していれば良く、単一量子井戸構造、多重量子井戸構造の活性層が特に好ましい。

なお、InGa_N よりなる井戸層と AlGa_N、若しくは Ga_N よりなる障壁層とを積層した多重量子井戸構造よりなる活性層も、片方の井戸層、若しくは障壁層のいずれか一方に In が含まれていれば、本発明の範囲内であることはいうまでもない。

【0013】

n 型不純物と p 型不純物がドーパされた p 型窒化物半導体層の n 型不純物のドーパ量が、p 型不純物のドーパ量に対して、0.1%以上で、p 型不純物のドーパ量を越えない範囲であることを特徴とする。

【0014】

さらに、本発明の素子でも、製造方法と同様に、前記 p 型不純物と n 型不純物とがドーパされた p 型窒化物半導体層は、p 型不純物が Mg であり、n 型不純物が Si、Ge の内の少なくとも一種であることを特徴とする。

【0015】

【発明の実施の形態】

図 1 は従来の p 型不純物のみをドーパした窒化物半導体と、本発明の p 型不純物と、n 型不純物を同時にドーパした窒化物半導体とが、アニーリングによって低抵抗な p 型に変わることを比較して示す図である。

これはサファイア基板の上に Ga_N よりなるバッファ層を 200 オングストローム成長させ、その上に、Mg をドーパした Ga_N(従来)、Mg と Si とをドーパした Ga_N(本発明)の抵抗率をそれぞれ温度の関数としてプロットして示す図である。

【0016】

この図に示すように、本発明によると従来と比べて抵抗率が 2 桁近く低下する。

抵抗率が 2 桁も低下すると、p 型層に形成したオーミック電極の接触抵抗がさらに低下するので、素子の V_f を大幅に低下させることができる。

また、従来では 400 deg C 付近から抵抗率が低下し始めていたのに対し、本発明では 300 deg

If active layer has had nitride semiconductor layer which includes In, it is good, active layer of single quantum well structure, multiple quantum well structure especially is desirable.

Furthermore, if active layer which consists of multiple quantum well structure which laminates well layer which consists of In Ga_N and barrier layer which consists of AlGa_N, or Ga_N, In is included in well layer of one side, or any one of barrier layer, as for being inside range of this invention it is not necessary to say.

【0013】

n-type impurity and p-type impurity doped amount of n-type impurity of p-type nitride semiconductor layer which the doped is done, with 0.1% or more, are range which does not exceed doped amount of p-type impurity vis-a-vis doped amount of p-type impurity, it makes feature.

【0014】

Furthermore, in same way as manufacturing method, aforementioned p-type impurity and n-type impurity as for p-type nitride semiconductor layer which doped is done, p-type impurity being Mg, n-type impurity are at least one kind among Si, Ge even with the element of this invention, it makes feature.

【0015】

[Embodiment of the Invention]

As for Figure 1 p-type impurity and n-type impurity of nitride semiconductor and this invention which only conventional p-type impurity doped are done simultaneously nitride semiconductor which doped is done, changes to low resistance p-type with annealing, comparing, it is a figure which shows.

This is figure which 200 Angstrom growing, on that, plot doing Ga_N which doped it does Mg (Past), with resistance of the Ga_N (this invention) which doped it does Mg and Si as function of respective temperature, shows buffer layer which consists of Ga_N on sapphire substrate.

【0016】

As shown in this figure, in comparison with until recently resistance 2 orders of magnitude decreases soon with this invention.

When resistance decreases as much as 2 orders of magnitude, because contact resistance of the ohmic electrode which was formed in p-type layer furthermore decreases, V_f of element greatly it can decrease.

In addition, with this invention resistance starts decreasing from 300 deg C vicinity vis-a-vis resistance has started

C 付近から抵抗率が低下し始める。

アニーリング温度が低下するという事は、従来に比較して短時間で p 型化でき、さらに、アニーリング装置の選択肢も広がり、熱処理できる装置であれば、ほとんどの手段が使用できるようになるという効果がある。

なお、図 1 は Mg ドープ GaN について示したものであるが、他の窒化物半導体、例えば AlGaIn のような Al を含む窒化物半導体についても同様の傾向があることが確認された。

さらに他の p 型不純物、例えば Zn、Ba、Be 等についても同様の傾向があり、さらにまた他の n 型不純物、例えば O、Ge 等についても同様の傾向があることが確認された。

【0017】

窒化物半導体(以下、本発明の説明において、窒化物半導体を GaN ということがある。)は有機金属気相成長法(MOCVD)、ハライド気相成長法(HVPE)、ガスソース分子線気相成長法(GS-MBE)法等の気相成長法により成長される。

それらの気相成長法では原料ガスに N 源として、アンモニア、ヒドラジン等の H を含む化合物が使用される。

これらの水素化合物が GaN 成長時、若しくは成長後に、反応容器内において分解して、どうしても p 型不純物と共に GaN 層中に取り込まれる。

ドープされた p 型不純物の多くは GaN 結晶内において Ga サイトに入っておらず、Ga と N の中間のような位置にある。

しかも p 型不純物は結晶中にドープされる H と結合しており不活性化している。

そこで、本発明では n 型不純物を p 型不純物と同時にドープすることにより、Ga サイトに入っていない p 型不純物が n 型不純物で置き換わり、p 型不純物が Ga サイトに入りやすくする。

しかも n 型不純物を後からイオンインプランテーション等で打ち込むのではなく、p 型不純物と同時にドープするために、n 型不純物が Ga と N の中間位置に入りやすくなって、より p 型不純物を Ga サイトに入りやすくする。

つまり、水素を除去する前に、Ga サイトに入る p 型不純物の量を多くできるため、p 型不純物と結合した水素が除去されてから、アクセプターとして作用する p 型不純物量が増えるのでキャリア濃度が大幅に向上する。

decreasing until recently from 400 deg C vicinity.

There is an effect that rendering p-type it can do, for annealing temperature to decrease, with short time furthermore, anneals and by comparison with past, choice of device if it is a device which spreading, thermal processing it is possible, it reaches point where you can use most means.

Furthermore, Figure 1 is something which is shown concerning the Mg doped GaN, but there is a similar tendency concerning nitride semiconductor which includes Al like other nitride semiconductor, for example AlGaIn, it was verified.

Furthermore there is a similar tendency concerning other p-type impurity, for example Zn, Ba, Be, etc there is a similar tendency furthermore and concerning other n-type impurity, for example O, Ge etc, it was verified.

[0017]

nitride semiconductor (Below, at time of explaining this invention, nitride semiconductor is called the GaN, is.) grows organometal vapor phase deposition method (MOCVD), halide vapor phase deposition method (HVPE), by gas source molecular beam vapor phase deposition method (GS-MBE) method or other vapor phase deposition method.

With those vapor phase deposition method compound which includes ammonia, hydrazine or other H in starting material gas as N source, is used.

These hydrogen compound at time of GaN growth, or after growing, disassembling in inside reactor, with p-type impurity it is taken in in GaN layer by any means.

Many of p-type impurity which doped is done have not entered into the Ga site in inside GaN crystal, there is a position like intermediate of the Ga and N.

Furthermore we connect p-type impurity with H which doped is done in crystal and inactivation have done.

Then, p-type impurity which has not entered into Ga site with this invention n-type impurity simultaneously with p-type impurity by doped doing, being the n-type impurity, it is displaced, p-type impurity makes easy to enter to Ga site.

Furthermore n-type impurity it is not from after to ram down with ion implantation etc, becomes simultaneously in order doped to do, the n-type impurity easy to enter in intermediate position of Ga and N and with p-type impurity, from makes p-type impurity easy to enter to Ga site.

In other words, before removing hydrogen, because quantity of the p-type impurity which enters into Ga site can be made many, after hydrogen which is connected with p-type impurity being removed, because p-type amount of impurity which operates as acceptor increases carrier concentration improve greatly.

【0018】

図 2 は Si と Mg をドーピングして、アニーリングにより低抵抗な p 型とした p 型窒化物半導体層の Si 濃度と正孔キャリア濃度との関係を示す図である。

これは MOCVD 法により、Mg と Si とをドーピングした GaN を成長させる際に、Si 源のガス流量を変えて、Mg を $1 \times 10^{20}/\text{cm}^3$ ドーピングした GaN 層に、Si を数々の濃度でドーピングした GaN 層を作製し、その GaN 層のキャリア濃度と、Si 濃度との関係を示している。

【0019】

図 2 に示すように、p 型 GaN は、Mg を $1 \times 10^{20}/\text{cm}^3$ もドーピングしているにもかかわらず、キャリア濃度は $3 \times 10^{17}/\text{cm}^3$ しか過ぎない。

これは正常なアクセプターとして作用している p 型不純物が如何に少ないかを示している。

しかしながら、Si を $1 \times 10^{17}/\text{cm}^3$ 付近 (Mg に対して 0.1%) 以上ドーピングすることにより、キャリア濃度が 2 桁も上がり、 $5 \times 10^{18}/\text{cm}^3 \sim 8 \times 10^{19}/\text{cm}^3$ 付近でほぼ一定となる。

そして、ドーピングした p 型不純物の量と同じ程度になると、ドナーとアクセプターとが相殺するようになり、n 型不純物の量が p 型不純物を超えると、n 型となるために、正孔キャリア濃度は負の値となる。

従って、p 型不純物に対する n 型不純物の好ましいドーピング量は、0.1% 以上で、p 型不純物量を超えない範囲が望ましく、さらに好ましくは 1% 以上、最も好ましくは 5% 以上、80% 以下である。

このように p 型不純物と n 型不純物を同時にドーピングするとキャリア濃度は 2 桁も向上するが、未だドーピングした p 型不純物の量だけのキャリア濃度を得ることは難しい。

これは Ga サイトに入っていない p 型不純物がまだ数多く残っていることと、格子欠陥が多く存在するためと推察される。

【0020】

また本発明では、p 型不純物と n 型不純物を同時にドーピングすることにより、p 型層のキャリア濃度を n 型不純物で調整できる。

つまり従来であれば、p 型不純物濃度と、アニーリングのみでキャリア濃度を調整していたが、新

improves greatly.

【0018】

Figure 2 doped doing Si and Mg, is figure which shows relationship between Si concentration and positive hole carrier concentration of p-type nitride semiconductor layer which it makes low resistance p-type with annealing.

This GaN which Mg and Si doped is done the occasion where it grows, changing gas flow of Si source with the MOCVD method, in GaN layer which Mg $1 \times 10^{20}/\text{cm}^3$ doped is done, Si produces GaN layer which doped is done with many concentration, has shown relationship between carrier concentration and Si concentration of GaN layer.

【0019】

As shown in Figure 2, p-type GaN even $1 \times 10^{20}/\text{cm}^3$ doped has done the Mg of only $3 \times 10^{17}/\text{cm}^3$ passes carrier concentration in spite.

This has shown p-type impurity which operates as normal acceptor how is little.

But, carrier concentration as much as 2 orders of magnitude rises Si doped of $1 \times 10^{17}/\text{cm}^3$ vicinity (Vis-a-vis Mg 0.1%) or more by doing, almost becomes fixed with $5 \times 10^{18}/\text{cm}^3 \sim 8 \times 10^{19}/\text{cm}^3$ vicinity.

When and, it becomes same extent as quantity of p-type impurity which doped is done, when it reaches point where donor and the acceptor offset, quantity of n-type impurity exceeds p-type impurity, because it becomes n-type, positive hole carrier concentration becomes negative number.

Therefore, as for doped amount where n-type impurity for p-type impurity is desirable, with 0.1% or more, range which does not exceed amount of impurity is desirable, furthermore it is a preferably 1% or more, most preferably 5% or more, 80% or less.

This way when p-type impurity and n-type impurity are done doped simultaneously, carrier concentration improves as much as 2 orders of magnitude, but it is difficult to obtain carrier concentration just of quantity of p-type impurity which still doped is done.

This is guessed for sake of thing and lattice defect where the p-type impurity which has not entered into Ga site remains still many exist mainly.

【0020】

In addition with this invention, carrier concentration of p-type layer can be adjusted with n-type impurity p-type impurity and n-type impurity simultaneously by doped doing.

In other words if it was former, adjusted carrier concentration with only the p-type impurity concentration and annealing,

たに n 型不純物をドーピングして、n 型不純物の量を変化させることにより、容易にキャリア濃度が調整できる。

このため、活性層から上の p 型層を、例えばキャリア濃度の小さい p-層、キャリア濃度の大きい p+層と順に積層して、キャリア濃度の大きい p+層に p 電極を形成すると、キャリアの注入効率が向上して出力が向上する。

【0021】

さらに、本発明の製造方法では p 型不純物と、n 型不純物とを同時にドーピングする窒化物半導体は、インジウムを含む窒化物半導体よりなる活性層を成長させた後に、成長させることが望ましい。

In を含む活性層、特に InGaN は、その結晶の性質が、他の Al を含む窒化物半導体に比べて柔らかいか、若しくは弾性がある。

そのため InGaN がバッファ層のような役割をする。

従って InGaN の上に成長される窒化物半導体は結晶の性質が良くなり、p 型ドーパントと n 型ドーパントをドーピングして、高キャリア濃度の p 型になりやすい。

【0022】

【実施例】

以下、図面を元に本発明の窒化物半導体素子について説明する。

図 1 は本発明の一実施例に係る窒化物半導体発光素子の構造を示す模式的な断面図であり、具体的には LED の構造を示している。

【0023】

サファイア(C 面)よりなる基板 1 を反応容器内にセットし、容器内を水素で十分置換した後、水素を流しながら、基板の温度を 1050 deg C まで上昇させ、基板のクリーニングを行う。

基板 1 にはサファイア C 面の他、R 面、A 面を主面とするサファイア、その他、スピネル ($MgAl_2O_4$) のような絶縁性の基板の他、SiC(6H、4H、3C を含む)、ZnS、ZnO、GaAs、GaN 等の半導体基板を用いることもできる。

【0024】

but doped doing n-type impurity anew, carrier concentration can adjust quantity of n-type impurity easily by changing.

Because of this, from active layer laminating p-type layer above, in p- layer, carrier concentration is large p+ layer and order where for example carrier concentration is small, when it forms p-electrode in p+ layer where carrier concentration is large, injection efficiency of carrier improving, output improves.

【0021】

Furthermore, with manufacturing method of this invention p-type impurity and n-type impurity simultaneously as for nitride semiconductor which doped is done, active layer which consists of nitride semiconductor which includes indium after growing, it grows it is desirable.

As for active layer, especially In GaN which includes In, property of crystal, is soft in comparison with nitride semiconductor which includes the other Al, or is a elasticity.

Because of that role In GaN like buffer layer is done.

Therefore nitride semiconductor which grows on In GaN property of crystal becomes good, p-type dopant and n-type dopant doped doing, is easy to become p-type of high carrier concentration.

【0022】

【Working Example(s)】

Below, you explain on basis of drawing concerning nitride semiconductor element of this invention.

Figure 1 with schematic sectional view which shows structure of nitride semiconductor light-emitting element which relates to one Working Example of this invention, has shown structure of LED concretely.

【0023】

While sapphire (C face) setting substrate 1 which consists of inside the reactor, inside canister fully after substituting with hydrogen, letting flow hydrogen, temperature of substrate rising to 1050 deg C, it does cleaning of substrate.

Other than sapphire C face, sapphire, which designates R surface, A surface as the main surface in addition, other than insulating substrate like spinel ($MgAl_2O_4$), SiC (6H, 4H, 3C are included.), is possible also fact that ZnS, ZnO, GaAs, GaN or other semiconductor substrate is used to substrate 1.

【0024】

続いて、温度を 510 deg C まで下げ、キャリアガスに水素、原料ガスにアンモニアと TMG(トリメチルガリウム)とを用い、基板 1 上に GaN よりなるバッファ層 2 を約 200 オングストロームの膜厚で成長させる。

バッファ層は AlN、GaN、AlGaIn 等が、900 deg C 以下の温度で、膜厚数十オングストローム~数百オングストロームで形成できる。

このバッファ層は基板と窒化物半導体との格子定数不正を緩和するために形成されるが、窒化物半導体の成長方法、基板の種類等によっては省略することも可能である。

【0025】

バッファ層 2 成長後、TMG のみ止めて、温度を 1030 deg C まで上昇させる。

1030 deg C になったら、同じく原料ガスに TMG、アンモニアガス、ドーパントガスにシランガスを用い、n 型コンタクト層 3 として、Si を $8 \times 10^{18}/\text{cm}^3$ ドープした Si ドープ n 型 GaN 層を 5 μm の膜厚で成長させる。

またこの層は、電極を形成するべきコンタクト層としてだけではなく、キャリアを閉じこめる n 型のクラッド層としても作用する。

n 型コンタクト層 3 は $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) で構成することができ、特に GaN、InGaIn、その中でも n 型不純物、特に Si 若しくは Ge をドープした GaN で構成することにより、キャリア濃度の高い n 型層が得られ、また n 電極と好ましいオーミック接触が得られる。

n 電極の材料としては Al、Ti、W、Cu、Zn、Sn、In 等の金属若しくは合金が好ましいオーミックが得られる。

【0026】

次に、温度を 800 deg C にして、キャリアガスを窒素に切り替え、原料ガスに TMG、TMI(トリメチルインジウム)、アンモニアを用いて、膜厚 30 オングストロームの単一量子井戸構造 (SQW: Single Quantum Well) の $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる活性層 4 を成長させる。

In を含む窒化物半導体よりなる活性層 4 は単一量子井戸構造、若しくは多重量子井戸構造 (MQW: Multi Quantum Well) とすることが望ましい。

活性層を SQW、MQW のような量子井戸構造で構成する場合、少なくとも In を含む窒化物半導体よりなる井戸層を有することが望ましく、単一井

Consequently, it lowers temperature to 510 deg C, in carrier gas in the hydrogen, starting material gas buffer layer 2 which consists of GaN on substrate 1 making use of ammonia and TMG (trimethyl gallium), it grows with film thickness of approximately 200 Angstrom.

buffer layer with temperature of 900 deg C or less, can form AlN, GaN, AlGaIn etc, with film thickness several tens Angstrom~several hundred Angstrom.

This buffer layer is formed in order to ease lattice constant illegality of the substrate and nitride semiconductor, but with kind etc of growth method, substrate of nitride semiconductor also it is possible to abbreviate.

【0025】

After buffer layer 2 growing, only TMG stopping, temperature it rises to 1,030 deg C.

When it becomes 1,030 deg C, similarly in starting material gas in TMG, ammonia gas, dopant gas the Si doped n-type GaN layer which Si $8 \times 10^{18}/\text{cm}^3$ doped is done it grows with film thickness of 5 μm making use of silane gas, as n-type contact layer 3.

In addition this layer not only, as contact layer which should form the electrode as cladding layer of n-type which shuts in carrier operates.

configuration it does n-type contact layer 3 with $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$), it is possible, n-type layer where carrier concentration is high even among those of especially GaN, InGaIn, by configuration doing with GaN which n-type impurity, especially Si or Ge doped is done, is acquired, in addition the nelectrode desirable ohmic contact is acquired.

ohmic where Al, Ti, W, Cu, Zn, Sn, In or other metal or alloy are desirable as material of nelectrode is acquired.

【0026】

Next, it changes carrier gas to nitrogen with temperature as 800 deg C, active layer 4 which consists of In 0.2 Ga 0.8N of single quantum well structure (SQW: single Quantum Well) of film thickness 30 Angstrom the TMG, TMI (trimethyl indium), making use of ammonia, it grows in starting material gas.

active layer 4 which consists of nitride semiconductor which includes In does single quantum well structure, or multiple quantum well structure (MQW: Multi Quantum Well) with, it is desirable.

When active layer configuration it does with quantum well structure like SQW, MQW, it possesses well layer which consists of nitride semiconductor which In is included at least

戸層の好ましい膜厚は 70 オングストローム以下、さらに好ましくは 50 オングストローム以下の膜厚に調整する。

MQW の場合、障壁層は井戸層よりもバンドギャップエネルギーが大きい窒化物半導体層で構成し、膜厚は 150 オングストローム以下、さらに好ましくは 100 オングストローム以下に調整する。

MQW の場合、障壁層も特に In を含む窒化物半導体とする必要はないが、好ましくは In を含む井戸層よりもバンドギャップの大きい窒化物半導体とする。

なぜなら、In を含む窒化物半導体は、AlGaIn、GaIn よりも成長温度が低い。

つまり分解温度が AlGaIn よりも低い。

低温で成長させる InGaIn よりなる井戸層の上に、高温で成長させる AlGaIn よりなる障壁層を積層しようとすると、少なからず InGaIn が分解する。

そのため InGaIn よりなる井戸層と InGaIn よりなる障壁層とを積層するのであれば、同一温度で成長できるため、先に成長させた InGaIn 層が分解することがないので、高出力な発光素子を実現することができる。

【0027】

活性層 4 成長後、温度を 1050 deg C にして、原料ガスに TMG、TMA(トリメチルアルミニウム)、アンモニア、n 型不純物ガスにシランガス、p 型不純物ガスに Cp2Mg(シクロペンタジエニルマグネシウム)ガスを同時に用いて、Si を $1 \times 10^{18}/\text{cm}^3$ と、Mg を $1 \times 10^{20}/\text{cm}^3$ ドープした低キャリア濃度の p-型 Al0.2Ga0.8N よりなる p 型クラッド層 5 を 0.5 μm の膜厚で成長させる。

活性層に接する p 型層を、Al を含む窒化物半導体層、好ましくは $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$) とすると発光出力が向上する。この p 型クラッド層 5 は 100 オングストローム以上、2 μm 以下、さらに好ましくは 500 オングストローム以上、1 μm 以下で成長させることが望ましい。100 オングストロームよりも薄いとクラッド層として作用しにくく、2 μm よりも厚いと結晶中にクラックが入りやすくなるからである。)

【0028】

続いて、温度を 1030 deg C に保ち、TMA のガスを止め、シランガスの流量を多くし、Mg を $1 \times$

it is desirable, 70 Angstroms or less, furthermore you adjust film thickness whose single well layer is desirable film thickness of the preferably 50 Angstroms or less.

In case of MQW, configuration it does barrier layer with nitride semiconductor layer where band gap energy is large in comparison with well layer 150 Angstroms or less, furthermore adjusts film thickness preferably 100 Angstroms or less.

In case of MQW, it is not necessary to make nitride semiconductor to which also barrier layer includes especially In, but it makes nitride semiconductor where band gap is large in comparison with well layer which includes preferably In.

Because, as for nitride semiconductor which includes In, growth temperature is low in comparison with AlGaIn, GaIn.

In other words decomposition temperature it is low in comparison with AlGaIn.

When with respect to well layer which consists of In GaIn which grows with low temperature, it tries to laminate barrier layer which consists of AlGaIn which grows with high temperature, In GaIn disassembles little.

Because of that because laminates well layer which consists of In GaIn and barrier layer which consists of In GaIn, can grow with the same temperature, because In GaIn layer which grew first disassembles does not have, high output light emitting device can be actualized.

【0027】

After active layer 4 growing, with temperature as 1050 deg C, in starting material gas the TMG, TMA (trimethyl aluminum), using Cp2 Mg (cyclopentadienyl magnesium) gas to silane gas, p-type impurity gas simultaneously in the ammonia, n-type impurity gas, Si p-type cladding layer 5 which consists of p-type Al 0.2 Ga 0.8N of low carrier concentration which $1 \times 10^{18}/\text{cm}^3$ and Mg $1 \times 10^{20}/\text{cm}^3$ doped is done it grows with film thickness of 0.5 μm .

It touches to active layer, when the p-type layer is done, nitride semiconductor layer, preferably $\text{Al}_x\text{Ga}_{1-x}\text{N}$ which includes Al ($0 < x \leq 1$) with, light emission output improves. As for this p-type cladding layer 5 100 Angstroms or more, 2 μm or less, furthermore it grows with the preferably 500 Angstroms or more, 1 μm or less it is desirable. When it is thin in comparison with 100 Angstrom to be difficult to operate as cladding layer, when it is thick in comparison with 2 μm because crack becomes easy to enter in crystal.)

【0028】

Consequently, it maintains temperature at 1,030 deg C, stops gas of TMA, makes flow of silane gas many, Mg p-type

$10^{20}/\text{cm}^3$, Si を $1 \times 10^{19}/\text{cm}^3$ ドープした高キャリア濃度の p+型 GaN よりなる p 型コンタクト層 5 を $0.5 \mu\text{m}$ の膜厚で成長させる。

p 型コンタクト層 5 は p 型の $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) で構成することができるが、特に好ましくは $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) とする。

本発明のように $1 \times 10^{19}/\text{cm}^3$ 以上のキャリア濃度が得られる p 型層をコンタクト層とすると、オーミック電極材料との接触抵抗が下がる。

p 型層と好ましいオーミックが得られる電極材料には、例えば Cr、Ni、Au、Pd、Ti 等がある。

[0029]

反応終了後、温度を 600 deg C まで下げ、窒素雰囲気中、ウェーハを反応容器内において、アニーリングを行い、p 型クラッド層、p 型コンタクト層中に含まれるの水素の一部を除去し、p 型層をさらに低抵抗化する。

[0030]

アニーリング後、ウェーハを反応容器から取り出し、図 3 に示すように、RIE 装置でにより最上層の p 型コンタクト層 6 側からエッチングを行い、n 電極 8 を形成すべき n 型コンタクト層 3 の表面を露出させる。

[0031]

次に、p 型コンタクト層 12 に Ni と Au よりなる p 電極 7 を形成し、一方、露出した n 型コンタクト 3 には Ti と Al よりなる n 電極 8 を形成する。

[0032]

以上のようにして、p 電極 7、n 電極 8 を形成したウェーハを研磨装置に移送し、ダイヤモンド研磨剤を用いて、窒化物半導体を形成していない側のサファイア基板 1 をラッピングし、基板の厚さを $90 \mu\text{m}$ として、サファイア基板側をスクライプして $350 \mu\text{m}$ 角の LED チップとする。

この LED チップを順方向電流 (I_f) 20mA で発光させたところ、p 層に Si をドープしない従来の LED は (順方向電圧) V_f が 3.5V であったのに対し、本発明の LED は 2.8V と 0.7V も低下した。

また発光波長 450nm において、出力は従来の LED に比較して 1.3 倍に向上した。

[0033]

contact layer 5 which consists of p+ type GaN of high carrier concentration which $1 \times 10^{20}/\text{cm}^3$, Si $1 \times 10^{19}/\text{cm}^3$ doped is done it grows with film thickness of $0.5 \mu\text{m}$.

p-type contact layer 5 configuration is possible with $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) of p-type, but particularly preferably $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) with it does.

Like this invention when p-type layer where carrier concentration of $1 \times 10^{19}/\text{cm}^3$ or more is acquired is designated as contact layer, contact resistance of ohmic electrode material goes down.

p-type layer, there is a for example Cr、Ni、Au、Pd、Ti etc in electrode material where desirable ohmic is acquired.

[0029]

After reaction termination, it lowers temperature to 600 deg C, it anneals in the nitrogen atmosphere, wafer in inside reactor, is included in p-type cladding layer, p-type contact layer to remove portion of hydrogen, p-type layer furthermore resistance-lowering is done.

[0030]

After annealing, wafer is removed from reactor, as shown in the Figure 3, with RIE device etching is done from p-type contact layer 6 side of the topmost layer, surface of n-type contact layer 3 which should form nelectrode 8 is exposed.

[0031]

Next, pelectrode 7 which consists of Ni and Au in p-type contact layer 12 is formed, nelectrode 8 which consists of Ti and Al is formed in n-type contact 3 which on one hand, is exposed.

[0032]

Like above, it transports wafer which formed pelectrode 7, nelectrode 8 to the polisher, lapping it does sapphire substrate 1 side which does not form the nitride semiconductor making use of diamond abrasive, scribe doing sapphire substrate side with the thickness of substrate as $90 \mu\text{m}$, it makes LED chip of $350 \mu\text{m}$ square.

This LED chip forward direction current (I_f) with 20 mA when light emitting it does, as for conventional LED which Si doped is not done LED of this invention as much as 2.8 V and 0.7 V decreased in p layer vis-a-vis (forward direction voltage) V_f being 3.5 V.

Output improved in 1.3 times by comparison with conventional LED in addition in light emitting wave length 450 nm.

[0033]

[実施例 2] 実施例 1 において、p 型クラッド層 5 及び p 型コンタクト層 6 を成長させる際に、n 型不純物源としてゲルマニウムガス(GeH₄)を用いる他は同様にして、LED を作製したところ、実施例 1 とほぼ同等の特性を有する LED 素子を得た。

【0034】

[実施例 3] 実施例 1 において、p 型クラッド層 5 を成長させる際に Si を $1 \times 10^{19}/\text{cm}^3$ ドープする他は同様にして、LED 素子を作製したところ、V_f は実施例 1 のものとほぼ同等であり、出力は従来の LED と比較して 1.2 倍であった。

【0035】

【発明の効果】

本発明の素子に類似した技術として、特開平 8-46240 号公報に、p 型ドーパントと、n 型ドーパントをドーピングした p 型の発光層(活性層)を有するダブルヘテロ構造の素子が示されている。

この技術は活性層に n 型ドーパントと、p 型ドーパントとをドーピングした p 型として、活性層と p 層との導電性を一致させて、連続した価電子帯を形成することにより、n 層からの電子を活性層深くまで注入して、電子の注入量を増加させて発光輝度を向上させるものである。

一方、本発明の技術は活性層に 2 種類のドーパントをドーピングするのではなく、活性層よりも上にある p 型層に 2 種類のドーパントをドーピングして p 層のキャリア濃度を増加させる点が異なる。

そのため本発明では本質的に活性層に注入される正孔の数が増え、発光効率が向上することはもちろんのこと、p 層のキャリア濃度が増加するので、p 層と好ましいオーミックが得られる p 電極を形成するとさらに接触抵抗を下げることで V_f を大幅に低下させることができる。

このような本発明の技術は、LED、LD のような発光デバイスだけではなく、トランジスタ、FET、MOS 等の窒化物半導体を用いた全ての電子デバイスに適用できることはいままでのない。

【0036】

窒化物半導体素子の V_f が低下すると、窒化物半導体を利用したフルカラーディスプレイに非常に好都合である。

In [Working Example 2] Working Example 1, p-type cladding layer 5 and p-type contact layer 6 occasion where it grows, besides germane gas (GeH₄) is used as n-type impurity source when LED is produced with as similar, LED element which possesses characteristic which almost is equal to Working Example 1 was acquired.

【0034】

In [Working Example 3] Working Example 1, p-type cladding layer 5 besides $1 \times 10^{19}/\text{cm}^3$ doped it does Si when the LED element is produced with as similar, V_f being almost equal to those of Working Example 1, as for output 1.2-fold was occasion where it grows by comparison with conventional LED.

【0035】

[Effects of the Invention]

In Japan Unexamined Patent Publication Hei 8-46240 disclosure, doped is done element of double heterostructure which possesses light emitting layer (active layer) of p-type which has been shown p-type dopant and n-type dopant as technology which resembles to element of this invention.

This technology active layer filling electron from n layer deeply with the dark circle doped is done n-type dopant and p-type dopant as p-type which, agreeing, continues conduction type of active layer and p layer by forming valence electron band which in active layer, injected amount of electron increasing, the light emitting brightness is something which improves.

On one hand, technology of this invention it is not doped to do the dopant of 2 kinds in active layer, dopant of 2 kinds doped making in p-type layer which is on, in comparison with active layer carrier concentration of p layer point which increases it differs.

Because of that with this invention quantity of positive hole which is filled essentially in active layer to increase, because as for light emission efficiency improving carrier concentration of of course, p layer increases, when p layer pelectrode where desirable ohmic is acquired is formed, furthermore contact resistance is lowered, it being possible, V_f greatly it can decrease.

technology of this kind of this invention not only light emitting device like the LED, LD, as for being able to apply to all electronic device which uses transistor, FET, MOS or other nitride semiconductor it is not necessary to say.

【0036】

When V_f of nitride semiconductor element decreases, it is a conducive very in full color display which utilizes nitride semiconductor.

即ち、現在のフルカラーディスプレイは、赤色 LED が GaAs 系または AlInGaP 系の半導体材料よりなり、緑色 LED と、青色 LED が窒化物半導体よりなる。

GaAs 系、AlInGaP 系の赤色 LED は Vf が 1V 台であるのに対して、窒化物半導体の LED は従来では 3.5V もあった。

そのため青色、緑色 LED の電流を下げて使用して、LED に多大な発熱を与えないようにして使用されていた。

一方、赤色 LED は緑色、青色 LED と輝度バランスをとるために、個数を増やしたり、規格値いっぱいで使用されるような過酷な条件で使用されていた。

そのため、赤色 LED は、青色 LED、緑色 LED に比べて、発熱による信頼性が低いという欠点があった。

しかしながら、本発明によると緑色、青色 LED の Vf が低下したので、全体の発熱量が低下させることができる。

そのため、本発明のフルカラーディスプレイを実現すると、全体の信頼性が向上する。

さらに、信号灯のような過酷な条件で使用される場合においても、Vf が低下すると発熱量も少なくなり、信頼性が大幅に向上する。

【図面の簡単な説明】

【図1】

n 型不純物と、p 型不純物とをドーブした本発明の p 型窒化物半導体と、従来の p 型窒化物半導体において、アニール温度と抵抗率の関係を比較して示す図。

【図2】

本発明の方法における窒化物半導体層の Si 濃度と、正孔キャリア濃度との関係を示す図。

【図3】

本発明の一実施例による LED 素子の構造を示す模式断面図。

【符号の説明】

1

基板

2

Namely, as for present full color display, red color LED consists of semiconductor material of GaAs type or Al InGaP type, green color LED and blue LED consist of nitride semiconductor.

As for red color LED of GaAs type and Al InGaP type until recently as much as 3.5 V there was a LED of nitride semiconductor vis-a-vis Vf being 1 V table.

Because of that lowering current of blue, green color LED, using, in order not to give great heat emission to LED, it was used.

On one hand, red color LED in order to take green color, blue LED and brightness balance, increases number, is standard value full and, it was used with kind of severe condition which is used.

Because of that, red color LED had deficiency that reliability is low with heat emission, in comparison with blue LED, green color LED.

But, because Vf of green color, blue LED decreased with this invention, it can decrease heat emission of entirety.

Because of that, when full color display of this invention is actualized, the reliability of entirety improves.

Furthermore, when it is used with severe condition like signal lamp putting, when Vf decreases, also heat emission decreases, reliability improves greatly.

[Brief Explanation of the Drawing(s)]

[Figure 1]

Comparing relationship of anneal temperature between resistance in p-type nitride semiconductor and conventional p-type nitride semiconductor of this invention which n-type impurity and p-type impurity doped is done, figure which shows.

[Figure 2]

Figure which shows relationship between Si concentration and the positive hole carrier concentration of nitride semiconductor layer in method of this invention.

[Figure 3]

model cross section. which shows structure of LED element with one Working Example of the this invention

[Explanation of Symbols in Drawings]

1

substrate

2

バッファ層

buffer layer

3

3

型コンタクト層

Type contact layer

4

4

活性層

active layer

5

5

型クラッド層

Type cladding layer

6

6

型コンタクト層

Type contact layer

7

7

電極

electrode

8

8

電極

electrode

n

n

型コンタクト層

Type contact layer

n

n

電極

electrode

p

p

型クラッド層

Type cladding layer

p

p

型コンタクト層

Type contact layer

p

p

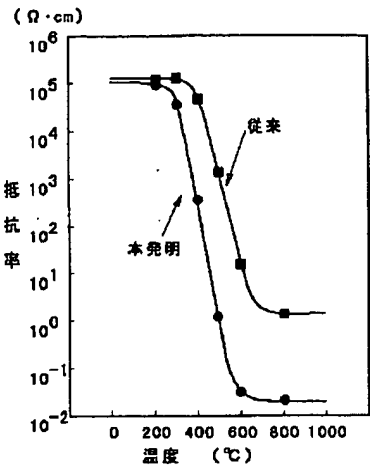
電極

electrode

Drawings

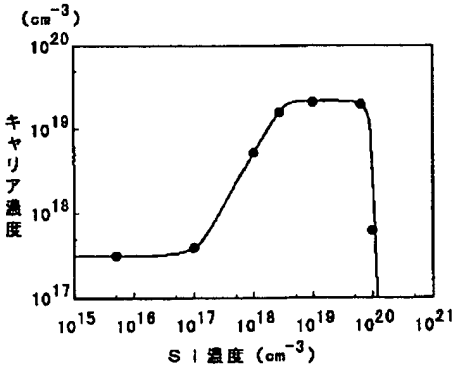
【図1】

[Figure 1]



【図2】

[Figure 2]



【図3】

[Figure 3]

